

PATENT ABSTRACTS OF JAPAN

(b)

(11) Publication number : 10-341238

(43) Date of publication of application : 22.12.1998

(51) Int.CI.

H04L 12/28

H04Q 3/00

(21) Application number : 09-152050

(71) Applicant : SHARP CORP

(22) Date of filing : 10.06.1997

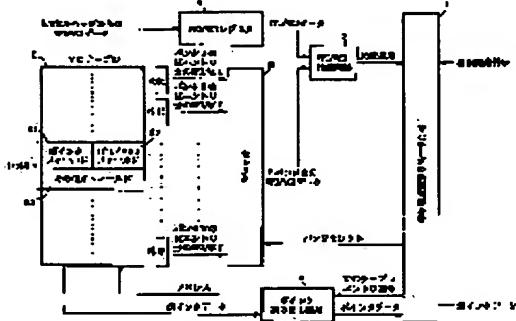
(72) Inventor : KAGAMI AKIHIRO

(54) RECEPTION ATM CELL PROCESSING CONTROLLER

(57) Abstract:

PROBLEM TO BE SOLVED: To provide the reception ATM cell processing controller employing a retrieval means for an address pointer to process storage of received asynchronous transfer mode ATM cells to a reception buffer based on virtual path identifier/virtual channel identifier (VPI/VCI) data with a smaller circuit-scale and at an enhanced retrieval speed.

SOLUTION: The controller is provided with a VC table 6 that is separated into banks I-N including a plurality of entries, data in all VPI/VCI fields 62 in a bank selected by a selector 5 are simultaneously outputted, the data are compared with VPI/VCI data having been extracted from an ATM cell header and stored by a VPI/VCI comparator circuit 2 and coincident entry numbers are detected. Pointer data in a buffer storing a payload of the ATM cell are read from a pointer field 61 in the entry of the VC table 6 by a pointer read circuit 3 based on the entry number.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Best Available Copy

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平10-341238

(43)公開日 平成10年(1998)12月22日

(51)Int.CI.⁶H04L 12/28
H04Q 3/00

識別記号

F I

H04L 11/20
H04Q 3/00

D

特許出願公開番号

審査請求 未請求 請求項の数3 O L (全7頁)

(21)出願番号

特願平9-152050

(22)出願日

平成9年(1997)6月10日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 各務 彰浩

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

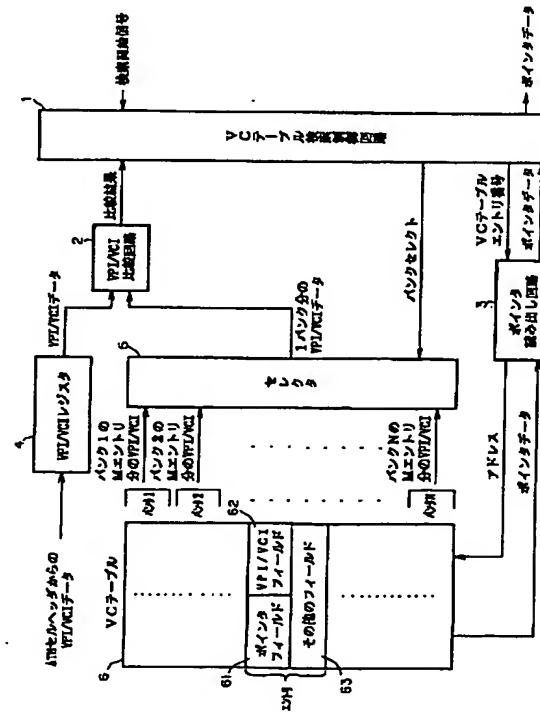
(74)代理人 弁理士 高野 明近 (外1名)

(54)【発明の名称】受信ATMセル処理制御装置

(57)【要約】

【課題】 受信したATMセルをヘッダ中のVPI/VCIデータにもとづいて受信バッファに格納する処理を行うためのアドレスポインタの検索手段としてより回路規模を小さく、また、検索速度を向上させる手段を用いてなる受信ATMセル処理装置を提供する。

【解決手段】 複数のエントリを含むバンク1～Nに分かれた、VCテーブル6を備え、セレクタ5により選択されたバンク内のすべてのVPI/VCIフィールド62のデータを同時に出し、ATMセルヘッダから取り出されて格納されていたVPI/VCIのデータとVPI/VCI比較回路2で比較され、一致するエントリ番号を検出する。このエントリ番号でATMセルのペイロードを格納するバッファ(図示せず)のポインタデータをVCテーブル6のエントリ中のポインタフィールド61からポインタ読み出し回路3により読み出す。



【特許請求の範囲】

【請求項1】少なくともVPI/VCIフィールド及びポインタフィールドをそれぞれもつエントリにより構成されるVCテーブルと、前記VCテーブルのエントリに格納されたデータを選択し出力するセレクタと、受信ATMセルヘッダから読み出されたVPI/VCIデータを保持するVPI/VCIレジスタと、前記セレクタと前記VPI/VCIレジスタの出力データを比較するVPI/VCI比較回路と、前記VCテーブルのエントリ中のポインタフィールドに格納されたデータを読み出すポインタ読み出し回路と、前記VCテーブルの検索を制御するVCテーブル検索制御回路とを備える受信ATMセル処理制御装置であって、前記セレクタは、前記VCテーブルのエントリ中のVPI/VCIフィールドに格納されたデータのみを前記VPI/VCI比較回路に出力し、前記VCテーブル検索制御回路は、前記VPI/VCI比較回路による比較結果から一致するデータを格納している前記VCテーブル中のエントリを指定するデータを前記ポインタ読み出し回路に送り、前記ポインタ読み出し回路は、前記VCテーブル検索制御回路からの指定データにより前記VCテーブルのエントリ中のポインタフィールドに格納されたポインタデータを読み出すようにしてなる受信ATMセル処理制御装置。

【請求項2】前記VCテーブルを複数のエントリを含むバンクに分けるとともに、前記VCテーブル検索制御回路からVCテーブルの前記バンクを指定するデータを出力するようにし、前記セレクタは、前記VCテーブル検索制御回路出力により指定されたバンクを選択し、選択されたバンク内のすべてのVCテーブルのエントリ中のVPI/VCIフィールドに格納されたデータを同時に前記VPI/VCI比較回路に出力するようにしたことを特徴とする請求項1記載の受信ATMセル処理制御装置。

【請求項3】前記VCテーブルにVCテーブルキャッシュを有し、ヒットしたエントリに格納されたデータを該VCテーブルキャッシュにコピーする手段と、前記VCテーブルキャッシュの各エントリに格納されているデータの優先順位を入れ替える手段とを備えるようにしたことを特徴とする請求項1又は2記載の受信ATMセル処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ATM(Asynchronous Transfer Mode)通信端末における受信セル処理装置に関し、より詳細には、ATMセル受信用のVC(Virtual Connection)テーブル検索回路に関するものである。

【0002】

【従来の技術】ATM通信端末では、受信したATMセルを受信バッファに格納するために、ATMセルヘッダ

の情報により、受信したATMセルが受信バッファ中のどのパケットの一部であるかをVCテーブルを用いて判断し、見つけられたパケットに追加していく。

【0003】図3は、従来の受信ATMセルのための処理手段及びその動作の流れの一例を示す概略図である。

図3を参照すると、受信ATMセル処理装置8内において、受信した53バイトのATMセル81は、受信セル FIFO82に格納され、まず、5バイトのATMセルヘッダ812が読み出される。VCテーブル6の各エン

10 トリーには、VPI (Virtual Path Identifier) / VCI (Virtual Channel Identifier) フィールド62と受信バッファを示すポインタフィールド61とその他のフィールド63があり、ヘッダ中のVPI/VCIの値と一致したVPI (Virtual Path Identifier) / VCI (Virtual Channel Identifier) フィールド62を持つVCテーブル6中のエントリから、受信バッファを示すポインタフィールド61のデータ値を読み出す。前記ポインタフィールド61のデータ値を元に受信したATMセル81の48バイトのペイロード811を格納するア

20 ドレスを算出する。そして、受信セル FIFO82から読み出した48バイトのペイロード811をシステムのメインメモリ9中で、このペイロードに対応するVPI/VCI用の受信バッファ91の格納場所として算出したアドレス92に書き込んでいく。

【0004】図4は、従来用いられ、図3にも示されるATMセル81のセル構成図である。図4において、ATMセル81は、53バイトで構成され、先頭から5バイトがATMセルヘッダ812、残りの48バイトが情報を格納するペイロード811をなしている。

30 【0005】図5は、前記ATMセルヘッダ812中のVPI/VCIのデータ値またはVCテーブル6中のVPI/VCIフィールド62のビット列を示す構成図である。前記ATMセルヘッダ812から読み出されたVPI/VCIのデータ値と、前記VCテーブル6中のVPI/VCIフィールド62のデータ値は、上位8ビットにVPIのデータ値112と下位16ビットにVCIのデータ値111を組み合わせて構成される24ビットのデータ値11である。

【0006】前記のように、受信したATMセル81中のペイロード811を受信バッファ91に格納するためには、ATMセルヘッダ812中のVPI/VCIのデータ値と一致するVPI/VCIフィールド62を持つ、VCテーブル6中のエントリを見つける必要がある。この方法としては、検索テーブルを用いる方法が従来の一例として上げられる。

【0007】図6は、従来の受信ATM処理装置に用いられる検索テーブルの一例を示す構成図である。図6を参照すると、検索テーブル12は、VPI/VCIのデータ値に対応したエントリから構成され、各エントリはVCテーブル6中の各エントリのポインタを含む。図6

において、VPI/VCIのデータ値は24ビットなので、検索テーブル12は、VPI/VCIのデータ値に対応して0から16777215までのエントリを持つ。図3において、ATMセルヘッダ812中のVPI/VCIのデータ値と一致するVPI/VCIフィールド62を持つ、VCテーブル6中のエントリを見つけるためには、図6の検索テーブル12を用いる。検索テーブル12中のエントリは、すべてのVPI/VCIのデータ値の数分用意されていて、VPI/VCIのデータ値の順番に並んでいるので、VPI/VCIのデータ値の一一致したエントリからVCテーブルポインタ121を読み出す。そして、読み出されたポインタによりVCテーブル6中のエントリが指定される。

【0008】

【発明が解決しようとする課題】上記の検索テーブルを用いる方法の場合、VPI/VCIのデータ値の各ビットをすべて使用するならば、テーブルのエントリが16777216個必要となり、1つのエントリに2バイトのメモリを使用すると仮定するならば、32Mバイトのメモリが必要になる。このように、従来の検索テーブルを用いる方法の場合、メモリが非常に多く必要になり、回路規模が大きくなり、コストアップの要因になるという問題点があった。本発明は、こうした従来技術における問題点に鑑みてなされたもので、受信したATMセルをヘッダ中のVPI/VCIデータにもとづいて受信バッファに格納する処理を行うためのアドレスポインタの検索手段として、より回路規模を小さく、また、検索速度を向上させる手段を用いてなる受信ATMセル処理装置を提供することをその解決すべき課題とする。

【0009】

【課題を解決するための手段】請求項1の発明は、少なくともVPI/VCIフィールド及びポインタフィールドをそれぞれもつエントリにより構成されるVCテーブルと、前記VCテーブルのエントリに格納されたデータを選択し出力するセレクタと、受信ATMセルヘッダから読み出されたVPI/VCIデータを保持するVPI/VCIレジスタと、前記セレクタと前記VPI/VCIレジスタの出力データを比較するVPI/VCI比較回路と、前記VCテーブルのエントリ中のポインタフィールドに格納されたデータを読み出すポインタ読み出し回路と、前記VCテーブルの検索を制御するVCテーブル検索制御回路とを備える受信ATMセル処理制御装置であって、前記セレクタは、前記VCテーブルのエントリ中のVPI/VCIフィールドに格納されたデータのみを前記VPI/VCI比較回路に出力し、前記VCテーブル検索制御回路は、前記VPI/VCI比較回路による比較結果から一致するデータを格納している前記VCテーブル中のエントリを指定するデータを前記ポインタ読み出し回路に送り、前記ポインタ読み出し回路は、前記VCテーブル検索制御回路からの指定データにより

前記VCテーブルのエントリ中のポインタフィールドに格納されたポインタデータを読み出すようにしたものである。

【0010】請求項2の発明は、請求項1の発明において、前記VCテーブルを複数のエントリを含むバンクに分けるとともに、前記VCテーブル検索制御回路からVCテーブルの前記バンクを指定するデータを出力するようにし、前記セレクタは、前記VCテーブル検索制御回路出力により指定されたバンクを選択し、選択されたバンク内のすべてのVCテーブルのエントリ中のVPI/VCIフィールドに格納されたデータを同時に前記VPI/VCI比較回路に出力するようにするものである。

【0011】請求項3の発明は、請求項1又は2の発明において、前記VCテーブルにVCテーブルキャッシュを有し、ヒットしたエントリに格納されたデータを該VCテーブルキャッシュにコピーする手段と、前記VCテーブルキャッシュの各エントリに格納されているデータの優先順位を入れ替える手段とを備えるようにするものである。

【0012】

【発明の実施の形態】以下、本発明の一実施形態について図面を参照しながら説明する。図1は、本発明の一実施形態の受信ATMセル処理制御装置のVCテーブル検索回路を含む処理回路部分を示す構成図である。図1を参照すると、複数のエントリにより構成されるVCテーブル6と、VCテーブル6のエントリ中のデータを選択し、出力するセレクタ5と、ATMセルヘッダ812から読み出されたVPI/VCIのデータ値を保持するVPI/VCIレジスタ4と、セレクタ5とVPI/VCIレジスタ4の出力を比較するVPI/VCI比較回路2と、VCテーブル6からポインタフィールド61のデータ値を読み出すポインタ読み出し回路3と、VCテーブル6の検索を制御するVCテーブル検索制御回路1とを受信ATMセル処理装置中に含み、これは、図3に示す従来例の装置における受信ATMセル処理装置8に相当する部分である。

【0013】VPI/VCIレジスタ4は、図3のATMセルヘッダ812から取り出したVPI/VCIのデータ値を保持し、VPI/VCI比較回路2へ出力する。VCテーブル6は、任意の数（ここではM）のエントリを含むバンクをバンク毎に分けて管理し、セレクタ5によりVCテーブル6（ここではNのバンクからなる）中より選択されたバンクから、バンク内のすべてのVPI/VCIフィールド62のデータ値を同時に出力する。また、ポインタ読み出し回路3からの要求に応じて、指定されたエントリのポインタフィールド61のデータ値を読み出す。

【0014】セレクタ5は、VCテーブル検索制御回路1から指定されたバンク番号によりVCテーブル6中のバンクを選択し、選択されたVCテーブル6中のバンク

から出力されたすべてのVPI/VCIフィールド62のデータ値を出力する。VPI/VCI比較回路2は、VPI/VCIレジスタ4からの出力とセレクタ5からの出力を比較して、比較した結果を、VCテーブル検索制御回路1へ送る。ポインタ読み出し回路3は、比較結果に従い一致したVPI/VCIをVCテーブル検索制御回路1によって指定し、指定されたVCテーブル6中のエントリからポインタフィールド61のデータ値を読み出す。

【0015】以下に、この受信ATMセル処理装置の一実施例の動作を説明する。図1、図3を参照すると、受信したATMセル81中のATMセルヘッダ812から取り出したVPI/VCIのデータ値は、本装置に入力されるとVPI/VCIレジスタ4に格納される。検索開始の命令が来ると、VCテーブル検索制御回路1は、VCテーブル6の検索を行うために、パンク番号を順番にセレクタ5に対して与えるが、まず、パンク番号1をセレクタ5に対して与える。セレクタ5は、VCテーブル6からパンク1の各エントリのVPI/VCIフィールドのデータ値を同時にすべて読み出し、VPI/VCI比較回路2に対して出力する。

【0016】VPI/VCI比較回路2は、VPI/VCIレジスタ4に格納されているATMセルヘッダ812中のVPI/VCIのデータ値と、セレクタ5から入力した1パンク分のVPI/VCIフィールド62のデータ値を同時に比較し、結果としてヒットしたかどうかの情報を、ヒットしたならパンク中の何番目のエントリかの情報を、VCテーブル検索制御回路1に送る。VCテーブル検索制御回路1は、前記の検索動作において、ヒットしなかったならば、パンク番号として2から順番にNまでの値をセレクタ5に渡して、前記の一連の検索動作を繰り返す。前記の検索動作において、ヒットしたならば、VCテーブル検索回路は、VCテーブル6中のエントリ番号を計算し、ポインタ読み出し回路3にVCテーブルエントリ番号を送り、VCテーブル6の読み出しを要求する。

【0017】ポインタ読み出し回路3は、VCテーブルエントリ番号から、VCテーブル6中のこのエントリに含まれるポインタフィールド61のアドレスを算出し、VCテーブル6に送り、ポインタフィールド61に格納されたデータ値の読み出しを要求する。VCテーブル6からはポインタ読み出し要求に応じて、ポインタフィールド61に格納されたデータ値を出力する。ポインタ読み出し回路3は、ポインタのデータ値を受け取り、VCテーブル検索制御回路1に渡す。VCテーブル検索制御回路1は、ポインタのデータ値を渡し、検索を終了する。

【0018】上記のように、ATMセル受信のVCテーブル検索に、VPI/VCIのデータ値の全てに対応してエントリを用意していた従来の検索テーブル12を用

い、VCテーブル6をいくつかのパンクに分け、各パンクを同時にATMセルヘッダ812中のVPI/VCIのデータ値と比較することにより、VCテーブル6の検索を行うので、多くのメモリを必要とせず、回路規模を小さくすることが可能となる。

【0019】次に、VCテーブルキャッシュを使用した受信ATMセル処理装置8について説明する。図2は、図1に示す受信ATMセル処理回路にVCテーブルキャッシュを使用した一例におけるVCテーブル、VCテーブルキャッシュ部分の構成図である。図2を参照すると、受信ATMセル処理回路の一例のVCテーブルキャッシュ7は、1パンク分のエントリを持ち、各エントリには、VPI/VCI71とVCテーブルエントリ番号72と優先順位73のフィールドを持つ。VCテーブルキャッシュ7中のエントリには、ヒットしたVCテーブル6中のエントリから、VPI/VCIフィールド62の内容がコピーされ、そのエントリの番号が格納される。

【0020】また、優先順位として、最も最近ヒットしたエントリから順に番号として1からMの値が付けられている。ここで、優先順位は1が最も高く、Mが最も低い。この構成の場合、VCテーブルキャッシュ7のパンクがまず最初に検索対象になる。VCテーブルキャッシュ7中の優先順位Lのエントリがヒットした場合、そのエントリの優先順位が1になり、それまでの優先順位が1からL-1までのエントリの優先順位が、2からLまでに変更される。

【0021】また、ヒットしたVCテーブルキャッシュ7からVCテーブルエントリ番号72が読み出され、図1中のVCテーブル検索制御回路1に渡される。VCテーブル検索制御回路1は、そのVCテーブルエントリ番号を元にVCテーブル6に格納されたポインタデータを読み出す動作を行う。VCテーブル6中のエントリがヒットした場合、ヒットしたエントリのVPI/VCIフィールド62に格納されたデータ内容が、そのエントリの番号と共に、VCテーブルキャッシュ7中の優先順位Mのエントリに格納され、そのエントリの優先順位は1に変更される。その他のVCテーブルキャッシュ7中のエントリの優先順位フィールドは1がプラスされ、1からM-1であったフィールドが、それぞれ2からMに変更される。

【0022】他の動作は、VCテーブルキャッシュがない構成と同じである。通常の通信では、同じVPI/VCIのデータ値を持つATMセル81が続けて受信されることが多いと考えられる。従って、通常の受信では、キャッシュ内のエントリに格納されたデータをヒットする可能性が高いので、キャッシュのパンクをまず最初に検索するならば、キャッシュを使用しない場合に比べて、平均のVCテーブル検索時間を速くすることが可能となる。

【0023】上記したVPI/VCIの全てのデータ値をエントリに用意した従来の検索テーブル12を使用することなく、VCテーブル6をパンクに分け、そのパンクごとに順番にVPI/VCIのデータ値を比較していく方法と、上記したVCテーブルキャッシュを使用する方法を組み合わせて、受信ATMセル処理装置8を構成することにより、回路規模を小さくすることが可能となることに加え、平均の検索速度を向上させることも可能となる。

【0024】

【発明の効果】受信ATMセルのヘッダに含まれるVPI/VCIのデータ値をVPI/VCIの全てのデータ値をエントリに用意した従来の検索テーブルを使用せず、VCテーブルのエントリ中のVPI/VCIフィールドに格納されたデータのみを前記VPI/VCI比較回路に出力するようにし、さらにVCテーブルをパンクに分け、そのパンクごとに順番にVPI/VCIのデータ値を同時に比較していく構成にすることにより、テーブルを用意するために用いるメモリの規模及びそれに関連する回路の規模を小さくすることが可能となる。上記に加えて、VCテーブルキャッシュを使用した構成することにより、平均の検索速度を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施形態の受信ATMセル処理装置のVCテーブル検索回路を含む処理部分の構成を示すブ

ロック図である。

【図2】図1に示す受信ATMセル処理装置のVCテーブルにキャッシュを用いた例を示す構成図である。

【図3】従来の受信ATM処理装置の一例の受信ATMセルの処理手段及びその動作の流れを示す概略図である。

【図4】従来から用いられているATMセルのバイトごとのビット列を示すセル構成図である。

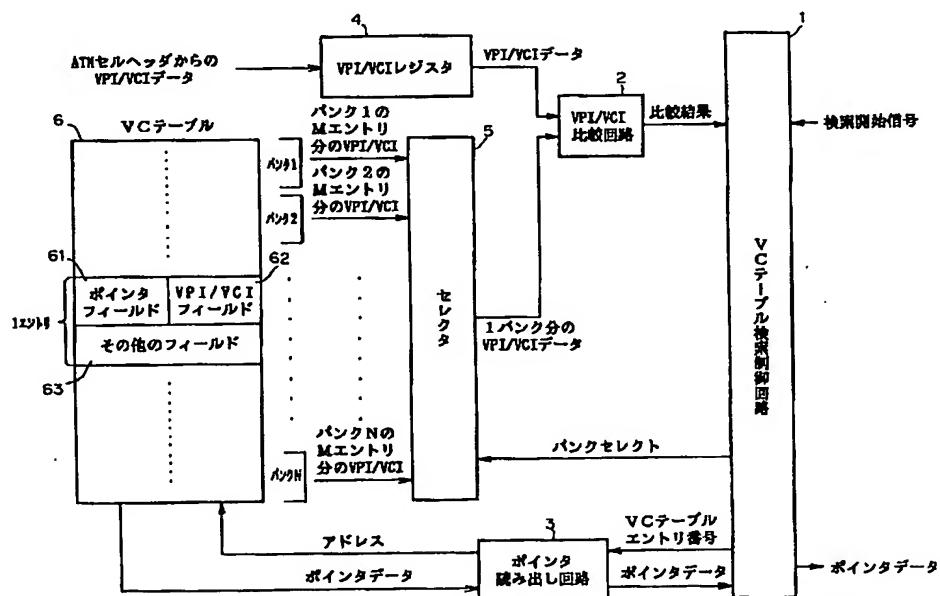
【図5】従来から用いられているVPI/VCIのデータ値のビット列を示すデータ構成図である。

【図6】従来の受信ATM処理装置に用いられる検索テーブルの一例を示すテーブル構成図である。

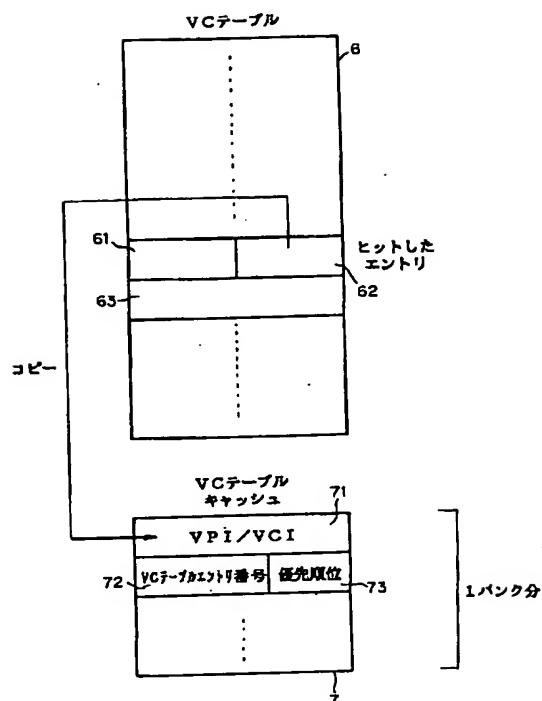
【符号の説明】

1…VCテーブル検索制御回路、2…VPI/VCI比較回路、3…ポインタ読み出し回路、4…VPI/VCIレジスタ、5…セレクタ、6…VCテーブル、7…VCテーブルキャッシュ、8…受信ATMセル処理装置、9…メインメモリ、11…VPI/VCIのビット列、12…検索テーブル、61…ポインタフィールド、62…VPI/VCIフィールド、63…他のフィールド、71…VPI/VCI、72…VCテーブルエンタリ番号、73…優先順位、81…ATMセル、82…受信セル FIFO、91…受信バッファ、92…ペイロード格納先頭アドレス、111…VCI、112…VPI、121…VCテーブルポインタ、811…ペイロード、812…ATMセルヘッダ。

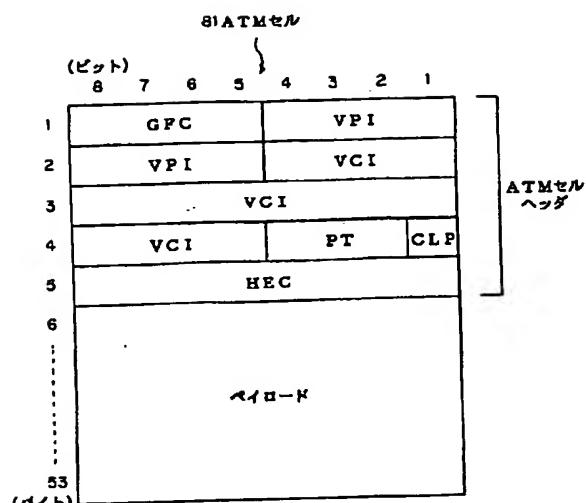
【図1】



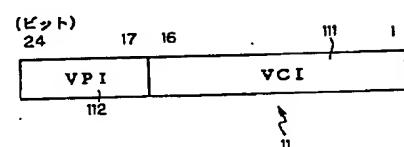
【図 2】



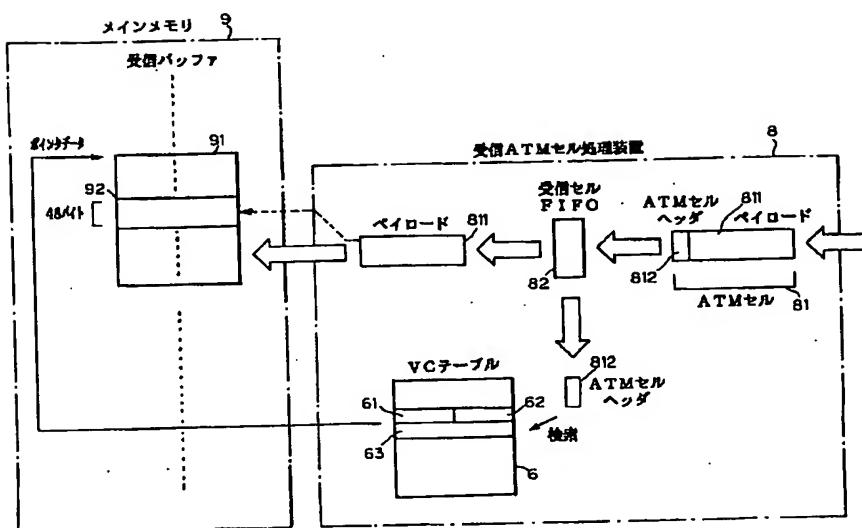
【図 4】



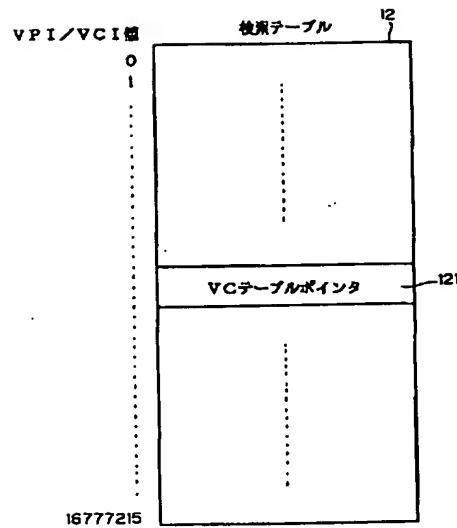
【図 5】



【図 3】



【図6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.